



**JP2159649**

Publication Title:

**STORAGE CIRCUIT**

Abstract:

**PURPOSE:**To construct the storage circuit which has high reliability and can execute a data transfer at a high speed by constituting a storage element of a structure having an aggregate at every section by dividing plural bits, and providing a means for executing the generation of an inspection bit against divided information, and a correction and a detection of an erroneous bit.

**CONSTITUTION:**When a storage element in which 1 chip of a memory has data width of 4 bits is used for a system having a data bus of 4 bytes, it is constituted so that 4 bits of data width of the storage element 15 is distributed to each separate byte, and also, ECC circuits 3-6 by an SEC-CED code are provided on every byte. Also, by using a function of a write bar bit of a DRAM, a write mask to the storage element 15 against an unnecessary byte is executed at the time of write of every byte, so that rewriting of an arbitrary byte can be executed by a single memory cycle. In such a way, an arbitrary byte transfer seen from a bus can be executed at a high speed.

-----  
Data supplied from the esp@cenet database - <http://ep.espacenet.com>

## ⑫ 公開特許公報(A) 平2-159649

⑤ Int.Cl.<sup>3</sup>

G 06 F 12/16

識別記号

3 2 0 F

庁内整理番号

7737-5B

⑬ 公開 平成2年(1990)6月19日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 記憶回路

⑰ 特 願 昭63-314252

⑱ 出 願 昭63(1988)12月13日

⑲ 発 明 者 榎 本 博 道 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 発 明 者 倉 本 雅 之 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 発 明 者 田 中 洋 一 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 株式会社日立コンピュータエレクトロニクス 神奈川県秦野市堀山下1番地

㉒ 代 理 人 弁理士 鈴木 誠  
最終頁に続く

## 明 細 書

## 1. 発明の名称

記 憶 回 路

## 2. 特許請求の範囲

(1) バス状のデータ路を介して複数ビットの情報の読出し、書込み、保存が任意に行える記憶素子を有する記憶回路において、

前記記憶素子を、複数ビットを複数に区分して該区分毎に集合体を持つ構造にし、

前記集合体毎に、区分された情報に対する検査ビットの発生、及び誤りビットの訂正、検出を行う手段を設け、

前記集合体共通に、各集合体の読み書きを制御する制御信号を発生する手段を設けたことを特徴とする記憶回路。

(2) 前記集合体毎に設けた手段は、それぞれ1ビット誤り訂正、2ビット誤り検出を可能とする検査ビットの発生、及び、該検査ビットによる1ビット誤り訂正、2ビット誤り検出を行うことを特徴とする請求項(1)記載の記憶回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体メモリ等を用いた記憶回路に係り、特に記憶データの誤り訂正及び検出に好適な記憶回路に関する。

〔従来技術〕

従来、記憶素子として半導体メモリ等(以下メモリと略す)を用いた記憶回路では、システムの信頼性向上のため、誤り訂正符号(ECC; Error Correcting Code)が一般的に用いられている。このECCには種々のものがあるが、1ビット誤り訂正・2ビット誤り検出(SECDED; Single Error Correcting Code-Double Error Detecting)符号が、最も一般的に用いられている。これはメモリ1チップのデータ幅が1ビット構成のものを用いたシステムでは大変有効である。すなわち、メモリ1チップが固定的に故障に至ったとしても、記憶回路としては、1ビットエラーと判定できるため、そのエラーデータの訂正が可能となり、システムとしてダウン

に至らないということである。

しかし、近年、メモリの高集積化に伴い、メモリ1チップのデータ幅が4ビット構成のものを記憶回路に用いる必要が出てきている。例えば、32ビットのデータバスを有する汎用マイクロプロセッサを搭載するシステムに於て、記憶回路に、4 MbitのDRAM (Dynamic RAM) で、1チップのデータ幅が1ビット構成のメモリを用いたとすれば、データバス幅がこの素子が最低32ヶ必要となる。すなわち、記憶容量は16MBになってしまう。しかし、一般的に前述したシステムでは、記憶容量は4MBもあれば十分であり、システムとして記憶容量が大きくなりすぎてしまう。そこで、4 MbitのDRAMで、1チップのデータ幅が4ビット構成のメモリを用いて、システムの記憶容量を最適に設計する必要がある。

このメモリ1チップのデータ幅が4ビット構成のものを用いた記憶回路のECCを実現しようとした場合、前述したSEC-DED符号では、元来、メモリの1チップのデータ幅が1ビット構成

のものでは有効であるが、このデータ幅が4ビット構成のものでは、メモリ1チップの固定的故障が発生した場合、3ビット、4ビットのエラーに対する訂正機能がなく、システムのダウンに至ってしまう。

これに対応できる符号として、S4EC-D4ED (Single 4-Adjacent bit group EC-Double 4-Adjacent bit group ED) 符号がある。この符号は、前述したSEC-DED機能と、メモリのデータ幅が4ビット構成に対応した1つの4ビット隣接誤り訂正、2つの4ビット隣接誤り検出の機能を兼ね備えたものである。

ところが、S4EC-D4ED符号は、冗長度が高く、例えば、データ幅1バイトに対する検査ビット数は、SEC-DED符号で5ビット、S4EC-D4ED符号で12ビット、また、データ幅4バイトに対する検査ビットはそれぞれ7ビット、12ビットとなる。一方、前述した様なシステムに於ける記憶回路のECCを実現する場合、汎用マイクロプロセッサのバスに接続する通信系

やフロッピディスク等の各種I/O群は、バイト構成のものがほとんどである。つまり、記憶回路のECC構成をデータ幅4バイトとした場合、前記I/O群からこの記憶回路へのデータ転送時、このデータ幅4バイト分に対する検査ビットを、再作成して書き替える必要があり、このデータ転送はパーシャルライト、つまり、メモリヘリッドモデルファイライトの2回のアクセスを要し、データ転送の高速化の妨げとなってしまう。これは、記憶回路をバイト毎のECCとすることで解決できるが、前述した様に、S4EC-D4ED符号ではデータ幅に対応する冗長度が高く、実用に耐え得ない。

なお、この種の技術については、例えば日経エレクトロニクス(1979年11月26日)第106頁から第128頁に「各種メモリー・システムにおける誤り訂正符号方式の設計法を見る」と題して論じられている。

〔発明が解決しようとする課題〕

前述したように、例えば4バイト(32ビット)

のデータバスを有するシステムに4ビットのデータ幅を持つ記憶素子を用い、ECCとしてS4EC-D4ED符号を適用した場合、経済性を重視して、記憶回路をこの4バイトに対する検査ビットを設けた構成とすると、記憶回路への3バイト以下のデータ転送を行った時、この検査ビットの書き替えが必要なため、パーシャルライトとなる。つまり、この比率が高いシステムでは、データ転送の高速化の妨げとなる問題が生じる。逆に、性能面を重視して、本記憶回路へのデータ転送がパーシャルライトとならないように、データ転送の最小単位、すなわち、バイト毎にECCを付加した場合は、検査ビットが各バイト毎に12ビット必要となり、冗長度が高く、実用に耐えなくなる。

一方、SEC-DED符号を用いた場合は、メモリ1チップの固定的故障により、システムダウンとなり、システムの稼働上、好ましくない。

本発明の目的は、上記問題点を無くし、複数ビットのデータ幅を持つ記憶素子を用いて、高い信頼性を有する記憶回路を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明では、例えば4バイトのデータバスを有するシステムに、メモリ1チップが4ビットのデータ幅を持つ記憶素子を用いるとした場合、記憶素子のデータ幅4ビットを各々別のバイトに振り分ける構成にすると共に、各バイト毎にSEC-DED符号によるECC回路を設け、さらに、DRAMのライトパービットの機能を使い、各バイト毎のライト時に不要のバイトに対する記憶素子へのライトマスクを行い、1回のメモリサイクルで、任意のバイトの書き換えが行えるようにしたことである。

〔作用〕

記憶素子毎の4ビット構成のデータとデータバス幅4バイトとは整合する。このため、記憶素子毎の各データを、このバスの各々のバイトに振り分け、かつ、その各バイト毎にSEC-DED符号のECCを付加することで、記憶素子1つの固定的故障によるエラー発生時は、各々のバイト毎に1ビットエラーと見えるため、エラー訂正が可

能となる。また、システムから見て各バイト毎のライトデータ転送時は、記憶素子1つから見ればある特定の1ビットの書き換えを行うこととなる。ここで、記憶素子へのライトサイクル中に、任意のビットのライトマスクが行えるライトパービットの機能に着目し、このバスからのライトデータ転送時に記憶素子として書き換え不要な各ビットをマスクすることで、バスから見た任意のバイト転送を高速に行うことができる。

〔実施例〕

以下、本発明の一実施例について図面により説明する。

第1図は本発明記憶回路の一実施例のブロック図で、4バイト(32ビット)のデータバスを有するシステムに、メモリ1チップのデータ幅が4ビット構成の記憶素子を用いた場合について示したものである。

第1図中、1はクロック発生回路、2はDRAMコントローラ、3、4、5、6は各バイトのECC回路である。ECC回路6はECC発生回路

7、ECCチェック回路8、バス出力ドライバ9、メモリ出力セクタ10を内蔵している。他のECC回路3、4、5についても同様である。11、12、13、14は各バイト毎のメモリで、それぞれ4バイト中のバイト3、バイト2、バイト1、バイト0を受け持つ。ここでメモリ14のD00D07は情報ビット(バスの0バイトデータに対応)、C00~C04はECCの検査ビットを表す。メモリ11、12、13についても同様である。15はメモリ11、12、13、14の1チップを示す。16はDRAMコントローラ2を動かすバスのアドレス、バイトフラグであり、17、18、19、20はバスのデータで、それぞれバイト3、バイト2、バイト1、バイト0に対応する。21はシステムバス、22は各バイト毎のECC回路3、4、5、6に内蔵するバス出力ドライバ9のイネーブル信号、23、24、25、26は同じくECC回路3、4、5、6に内蔵するメモリ出力セクタ10のセレクト信号、27は各バイト毎のメモリ11、12、13、14に共

通に与えるRAS、CAS、WE、OE、ADRの各制御信号である。28、29、30、31は各バイト毎のメモリ11、12、13、14とECC回路3、4、5、6を接続するそれぞれバイト3、バイト2、バイト1、バイト0のデータラインである。

第2図は、各バイト毎のメモリ11、12、13、14のアドレス割合いを示すもので、D0Xはバイト0のメモリ14、D1Xはバイト1のメモリ13、D2Xはバイト2のメモリ12、D3Xはバイト3のメモリ11に対応する。

第3図は、ライトパービットの機能をもつDRAMの動作図である。ライトパービットこの指定は、RASの立下りにWEが“0”ということで指示し、その時のビット対応にWriteするかINH(禁止)するかを同じくRASの立下りで、メモリのデータ線D<sub>i</sub>で指示する。つまり、“1”でWrite、“1”でINHを示し、他の動作は一般のDRAMに同じである。

第4図は、第1図のDRAMコントローラ2か

ら各バイト毎のECC回路3, 4, 5, 6にそれぞれ供給するセレクト信号26, 25, 24, 23の意味を示す図で、この1種の信号、例えばセレクト信号23によりECC回路6のセクタ10の動作を示すものである。

さて、第1図において、バス21中の16で指示されたアドレス、バイトフラグがDRAMコントローラ2に供給される。この情報を元にDRAMコントローラ2はメモリの制御を行う。例えば、バスの指示内容が、バイト0のメモリ14の1バイトライト指示であった時、DRAMコントローラ2は、ECC回路3, 4, 5のセレクト信号26, 25, 24を“00”に、また、ECC回路6には、セレクト信号23として“01”を供給する。この信号により、ECC回路3, 4, 5はバイト1, 2, 3の各バイト毎のメモリ11, 12, 13にそれぞれデータライン28, 29, 30を介し、オール“0”のデータを、ECC回路6はメモリ14にオール“1”のデータをデータライン31を介し供給する。次にDRAMコント

ローラ2はDRAM(メモリ11, 12, 13, 14)を起動するため、DRAM制御信号27のWE信号を“0”として、RAS信号をアクティブ“0”とする。次にDRAMコントローラ2は、メモリ11, 12, 13, 14に供給するアドレスを切り換え、また、セレクト信号23を“10”にしてECC回路6に供給する。ECC回路6では、この信号23によりバス21からのバイト0のデータ20のECCをECC発生回路7で生成し、データと共にデータライン31を介してメモリ14に供給する。即ち、この時にECC発生回路7で生成するコードは、バス21のデータDOXに対応する情報ビットD00~D07と、検査ビットC00~C04である。そして、この情報ビット8ビットに対する検査ビット5ビットはSEC-DED符号である。さらに、DRAMコントローラ2はCAS信号をアクティブ“0”とする。これにより、第3図のようにして、メモリ14に情報ビットD00~D07、検査ビットC00~C04が書込まれる。

以下同様に、バス21の指示がメモリ14, 13, 12, 11の各バイト、又は任意の複数バイトのライト指示の時も、同様な動作で各バイト毎のECC回路3, 4, 5, 6の各SEC-DED符号が生成され、メモリ11, 12, 13, 14へのライトが行われる。

次にバス21からの指示がリードであった時は、DRAMコントローラ2は、各バイト毎のECC回路3, 4, 5, 6のメモリ出力セクタ10のセレクト信号23, 24, 25, 26を“11”とし、また、バス出力ドライバ9のイネーブル信号22をイネーブル“0”とする。さらに、DRAMコントローラ2はDRAM(メモリ11, 12, 13, 14)に対し通常のリード指示を行う。これにより、各メモリ11, 12, 13, 14からデータライン28, 29, 30, 31を介してECC回路3, 4, 5, 6にそれぞれバイト3, 2, 1, 0の情報ビット、検査ビット(SEC-DED符号)が供給される。各ECC回路3, 4, 5, 6では、各バイト毎のSEC-DED符号に

よるECCチェックをECCチェック回路8で行い、チェック結果のデータ(情報ビット)をバスドライバ9を介してバス21に出力する。

以上、第1図の実施例によれば、次のような効果が得られる。

- (1) 4ビットのデータ幅をもつメモリ1チップを用いて、SEC-DEDの機能、すなわち、1ビットエラー訂正、2ビットエラー検出、かつ、メモリ1チップの固定的故障でもエラー訂正が出来てシステムダウンに至らない、信頼性の高い記憶回路が構築できる。
- (2) DRAMのライトパワードビットの機能を使うことで、各バイト毎のメモリの書替が1度のメモリサイクルで行え、メモリへのデータ転送の高速化が図れる。
- (3) ECC回路がバイト単位のもので、回路上くり返し性があり、LSI化が容易である。

なお、第1図の実施例では、メモリ11, 12, 13, 14の情報ビットは8ビット(1バイト)、検査ビットは、5ビットと限定したが、情報ビッ

ト数が任意でも、検査ビット数を SEC-DED 符号に合せた冗長ビットすることで、同様に容易に実現できる。

#### 〔発明の効果〕

以上説明したように、本発明によれば、記憶素子として複数ビットのデータ幅をもつメモリチップを用いて、信頼性が高く、データ転送が高速な記憶回路が構築できるという効果がある。

#### 4. 図面の簡単な説明

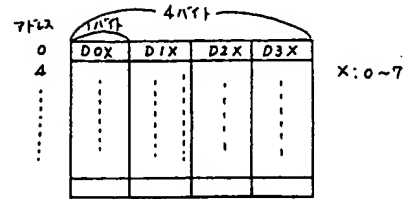
第1図は本発明の記憶回路の一実施例を示すブロック図、第2図はメモリのアドレス割当てを示す図、第3図はライトパースビットの機能を持つDRAMの動作図、第4図は第1図のECC回路の選択動作を示す図である。

- 1…クロック発生回路、 2…DRAMコントローラ、 3, 4, 5, 6…ECC回路、  
7…ECC発生回路、 8…ECCチェック回路、 11, 12, 13, 14…メモリ、  
15…メモリ1チップ、 21…システムバス。

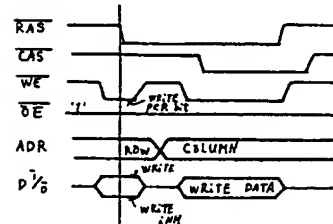
代理人井理士 鈴木



第2図



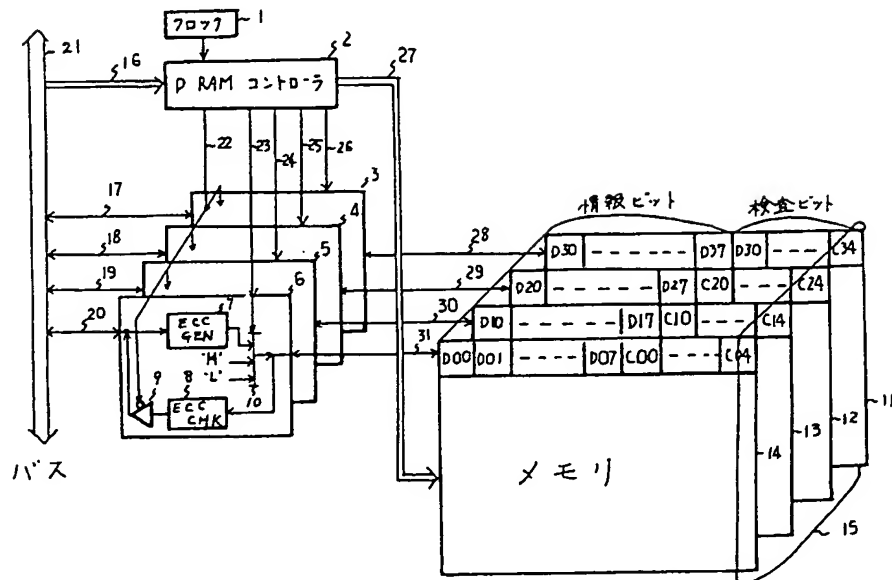
第3図



第4図

23~26の出力値	1~4のアドレス
00	ALL '0'
01	ALL '1'
10	ECC GEN
11	パース

第1図



第1頁の続き

⑦発明者

松山

信仁

神奈川県秦野市堀山下1番地 株式会社日立コンピュータ  
エレクトロニクス内